

Nano-oxidação do Silício: Influência dos Processos de Crescimento Convencional e Pirogênico na Qualidade e na Uniformidade dos óxidos finos Obtidos em Superfícies Irregulares Contendo Degraus Abruptos

R.Souza, W.A. Nogueira e S.G. dos Santos Filho

*Laboratório de Sistemas Integráveis
LSI/PSI/EPUSP, CEP 05508-900, São Paulo, SP
rsouza@lsi.usp.br; sgsantos@lsi.usp.br*

Resumo

Neste trabalho, foram crescidos filmes finos de óxido de silício sobre superfícies contendo formas retangulares periódicas com 100 nm de altura, obtidas a partir de corrosões por plasma localizadas. Os óxidos de silício (SiO_2) com cerca de 4,5 nm de espessura foram crescidos em ambientes ultrapuros de oxigênio (O_2) ou pirogênico ($\text{O}_2 + \text{H}_2$) a fim de comparar a uniformidade planar e o amoldamento de cobertura sobre as bordas dos degraus verticais presentes nos perfis espaciais retangulares. O grau de amoldamento foi obtido indiretamente a partir de medidas elétricas em capacitores fabricados sobre as superfícies irregulares recobertas com óxido de silício crescido termicamente. Foi mostrado que a oxidação pirogênica ou convencional na temperatura de 850°C permite obter óxidos de porta sobre degraus com altura de 100nm com alto campo de ruptura da rigidez dielétrica. Esse comportamento pode ser interpretado como óxidos de porta com boa uniformidade planar e bom amoldamento nas bordas dos degraus. O impacto deste resultado é agora a possibilidade de implementar óxidos de porta para transistores de porta envolvente (FinFETs).

1 Introdução

Desde a invenção dos circuitos integrados nos anos 60, a indústria de semicondutores tem se desenvolvido vertiginosamente e concomitantemente com a redução constante das dimensões dos dispositivos e com o avanço da qualidade dos processos de fabricação [1]. O número de componentes médio na pastilha de circuito integrado (Chip) tem crescido exponencialmente com o passar do tempo regido pela lei de Moore, a qual projeta um aumento de duas vezes no número de componentes por pastilha a cada cerca de 18 meses [2-4]. Como exemplo desta evolução podemos citar: as tecnologias CMOS (Complementary Metal-Oxide-Semiconductor) de dimensões reduzidas e as memórias dinâmicas (DRAM) [2]. Uma dimensão frequentemente usada como referência, quando se trata de escalamento (diminuição de dimensão por um fator de escala), é o comprimento de canal do transistor MOS que é definido como a distância física entre fonte e dreno, atualmente na faixa de dezenas de nanômetros [2]. Além do comprimento de canal, a espessura do material dielétrico de porta também vem sendo reduzida de forma agressiva estando atualmente na faixa de 1 a 5nm [5-8]. A alta qualidade de fabricação deste material dielétrico pode ser expressa de forma resumida através de baixa concentração efetiva de cargas na estrutura do material ($Q_{\text{SS}}/q < 1 \times 10^{10}$ cargas/cm² e elevado valor do campo elétrico de ruptura da rigidez dielétrica ($E_{\text{bd}} > 11$ MV/cm) [5,9].

Por outro lado, o desempenho dos dispositivos MOS também depende da qualidade das etapas de processo empregadas. Por exemplo, as características da etapa de limpeza pré-oxidação de porta pode influir diretamente na rugosidade interfacial SiO_2/Si a qual deve ser controlada para valores muito pequenos condizentes com a geração tecnológica atual de forma a impedir que ocorra ruptura precoce da rigidez dielétrica do óxido de porta em campos elétricos muito baixos [10,11].

Um outro fato importante a ser destacado é quando se reduz a espessura do óxido de porta de um dispositivo (capacitor ou transistor), e não se reduz a tensão aplicada, pelo mesmo fator de escala. Nesse caso ocorre uma conseqüente elevação no campo elétrico médio através do óxido, ou seja, o óxido fica exposto a uma condição mais crítica de campo elétrico médio, sendo exigida então uma melhoria na qualidade de fabricação do mesmo [1,10]. Somado a isso, como já mencionado, a medida que diminuimos a espessura do material dielétrico de porta, fatores como rugosidade e, também, contaminantes orgânicos e metálicos tornam-se ainda mais danosos quando se quer obter uma boa qualidade de fabricação (baixa densidade de carga elétrica efetiva e alto campo de ruptura da rigidez dielétrica) [10-17].

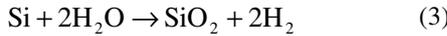
Os processos de oxidação seca convencional e pirogênica tem sido empregados na obtenção de SiO_2 com espessura próxima de 4nm em portas MOS. O processo de oxidação seca convencional pode ser descrita através da seguinte reação [18,19]:



Já na oxidação pirogênica, inicialmente o hidrogênio reage com oxigênio gerando moléculas de água seguido da reação das mesmas com a superfície do silício conforme segue [7,16,18,19]:



e



O objetivo do presente artigo é analisar a influência do tipo de receita de oxidação (convencional ou pirogênica) na qualidade de fabricação e na uniformidade dos óxidos de silício sobre superfícies irregulares contendo degraus abruptos. Este assunto está sendo tema de tese de doutoramento no Laboratório de Sistemas Integráveis da EPUSP sob orientação do Prof. Sebastião G. dos Santos Filho.

2 Base teórica/extração de parâmetros

A tensão de porta V_G em um capacitor MOS operando em regime de depleção ou inversão pode ser escrita como sendo [19]:

$$V_G = V_{ox} + \psi_s + \phi_{MS} \quad (4)$$

onde ψ_s é chamado potencial de superfície e representa a queda de tensão no silício depletado de portadores, V_{ox} é a queda de tensão no óxido e ϕ_{MS} é a diferença de função trabalho entre metal e semicondutor. A Figura 1 mostra esquematicamente o diagrama de cargas e o diagrama de faixas de energia de um capacitor MOS polarizado em regime de inversão de portadores, situação em que a largura de depleção atinge valor máximo e o potencial de superfície ψ_s é aproximadamente duas vezes o potencial de Fermi (ϕ_F) [19].

A Capacitância diferencial associada ao capacitor MOS é definida como sendo [19]:

$$C_{MOS} = -\frac{dQ_s}{dV_G} \quad (5)$$

Por outro lado, diferenciando-se a equação (4) a qual é válida para o capacitor operando em regime de depleção e início da inversão, obtém-se:

$$dV_G = -\frac{dQ_s}{C_{ox}} + d\psi_s \quad (6)$$

Substituindo-se (6) em (5) resulta:

$$C_{MOS} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_s}} \quad (7)$$

onde:

$$C_s = -\frac{dQ_s}{d\psi_s},$$

é a capacitância diferencial do silício por unidade de área e C_{ox} é a capacitância do óxido, também, por unidade de área.

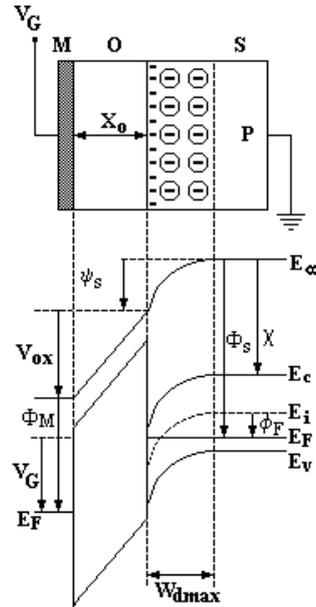


Figura 1: Diagrama de cargas e diagrama de faixas de energia em substrato P de uma estrutura MOS operando em regime de inversão de portadores quando a largura da região de depleção atinge valor máximo W_{dmax} ($\psi_s = 2\phi_F$).

Da equação (7) conclui-se que a capacitância diferencial total do capacitor MOS corresponde a uma associação série da capacitância do óxido (C_{ox}) com a capacitância devido ao silício que é dada por [19]:

$$C_s = \frac{\epsilon_0 \cdot \epsilon_s}{W_d} \quad (8)$$

onde W_d é a largura da região de depleção, ϵ_s é permissividade relativa do silício e ϵ_0 é a permissividade do vácuo ($8,854 \times 10^{-14}$ F/cm).

Para o capacitor MOS operando em regime de inversão, a largura da região de depleção é máxima e a superfície passa a ficar fortemente populada com portadores minoritários. Associada a estes portadores minoritários teremos uma carga de inversão (Q_I) por unidade de área. Desta forma, a equação (6) passa a ter um termo a mais como segue:

$$dV_G = -\frac{dQ_s}{C_{ox}} - \frac{dQ_I}{C_{ox}} + d\psi_s \quad (9)$$

Substituindo-se (9) em (5) resulta:

$$C_{MOS} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_s + C_I}} \quad (10)$$

onde as capacitâncias C_{ox} e C_s já foram previamente definidas e a capacitância de inversão C_I é dada por:

$$C_I = -\frac{dQ_I}{d\psi_s} \quad (11)$$

Desta forma, o modelo capacitivo equivalente da estrutura MOS na região de inversão, descrito pela equação (10), corresponde a C_{ox} em série com a associação em paralelo de C_s e C_I .

A curva capacitância X tensão de alta frequência ($C-V_{AF}$) experimental permite a determinação de uma série de parâmetros relativos ao sistema metal-óxido-semicondutor. Ela é obtida pela aplicação ao capacitor MOS de uma tensão em rampa com taxa suficientemente lenta, de modo que o semiconductor esteja em condições próximas do equilíbrio. Superposta a esta tensão de rampa temos uma tensão alternada de frequência alta ($\approx 1\text{MHz}$) e amplitude pequena ($<30\text{ mV}$). A capacitância diferencial da estrutura MOS é então obtida através da medida da variação de carga correspondente à tensão alternada para cada valor de tensão de rampa. Por outro lado, a curva capacitância X tensão de baixa frequência ($C-V_{BF}$) é obtida através de um procedimento geral quase idêntico ao descrito acima sendo que a diferença é a frequência da tensão alternada que está sobreposta na rampa de tensão a qual tem valor mais baixo ($<1\text{ KHz}$), sendo em geral escolhida próximo a 0 Hz [19]. A figura 2 ilustra as curvas $C-V_{AF}$ e $C-V_{BF}$ sobrepostas medidas para um capacitor MOS com área de $0,01\text{ cm}^2$, espessura do óxido de 22 nm e substrato do tipo P.

As curvas $C-V_{AF}$ e $C-V_{BF}$ apresentam comportamentos distintos na região de inversão. Tal fato deve-se aos diferentes valores da capacitância de inversão (C_I) nesta região. Em alta frequência, os portadores minoritários não respondem o que pode ser associado a uma capacitância de inversão próxima de zero. Já em frequências baixas, os portadores minoritários respondem o que por sua vez pode ser associado a uma capacitância de inversão muito grande ($C_I \gg C_{ox}$). Portanto, em alta frequência temos apenas a capacitância do óxido em série com a capacitância de depleção e em baixa frequência temos o resultado da associação como sendo apenas a capacitância do óxido já que a capacitância de inversão tende a valores muito elevados.

A capacitância máxima na região de acumulação (C_{max}) está relacionada com a capacitância do óxido por unidade de área (C_{ox}) através da área de porta (gate) do capacitor, isto é [19]:

$$C_{max} = C_{ox} \cdot A_g \quad (12)$$

onde A_g é a área de porta do capacitor.

Desta forma, a espessura do óxido (X_o) resulta que:

$$X_o = \frac{\epsilon_o \cdot \epsilon_{ox}}{C_{max}} \cdot A_g \quad (13)$$

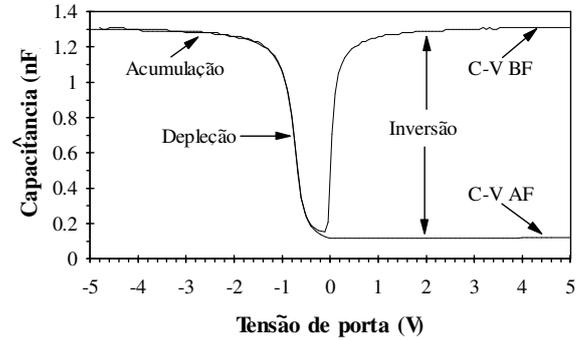


Figura 2 : Curvas $C-V_{AF}$ e $C-V_{BF}$ onde são indicadas as regiões características de acumulação, depleção e inversão.

A máxima largura da região de depleção ocorre quando a capacitância de alta frequência atinge o seu valor mínimo em inversão forte (C_{min}) o qual corresponde à associação série entre a capacitância do óxido e a capacitância máxima de depleção do silício. A capacitância máxima de depleção do silício por unidade de área ($C_{s,max}$) pode então ser escrita como sendo [19]:

$$C_{s,max} = \frac{1}{A_g} \left[\frac{1}{\frac{1}{C_{min}} - \frac{1}{C_{max}}} \right] \quad (14)$$

Por sua vez, a capacitância máxima de depleção do silício está relacionada com a largura máxima da região de depleção através da equação (8). Desta forma, a largura máxima da região de depleção fica sendo dada por :

$$W_{d,max} = \frac{\epsilon_o \cdot \epsilon_{ox}}{C_{s,max}} \quad (15)$$

Por outro lado, da resolução da equação de Poisson na região de carga espacial representada na figura 1, obtém-se o potencial de superfície na região de inversão que pode ser escrito como sendo [19]:

$$\psi_{sm} = \frac{q \cdot N_B \cdot W_{d,max}^2}{2 \cdot \epsilon_o \cdot \epsilon_s} \cong 2\phi_F \quad (16)$$

onde ϕ_F , indicado na figura 1, é o potencial de Fermi,

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_B}{n_i} \right),$$

k é a constante de Boltzman, T é a temperatura em Kelvin, q é a carga elementar, N_B é a concentração de dopantes no substrato e n_i é a concentração intrínseca de portadores na temperatura T ($n_i = 1,45 \times 10^{10}\text{ cm}^{-3}$ para $T=300\text{K}$).

Existe uma situação particular de tensão de polarização de porta ($V_G = V_{FB}$) na qual o diagrama de faixas de energia do capacitor MOS fica plano, isto é, $\psi_s = 0$ ($Q_s=0$) e $V_{ox} = 0$. Neste ponto de operação demonstra-se que a capacitância do silício na situação de faixa plana é dada por [19]:

$$C_{FB_s} = \left[\frac{q^2 \cdot \epsilon_o \cdot \epsilon_s \cdot N_B}{K.T} \right]^{1/2} \quad (17)$$

A capacitância de faixa plana do capacitor MOS, C_{FB} , é definida como sendo a associação série da capacitância de faixa plana do silício com a capacitância do óxido, ou seja [19]:

$$C_{FB} = \frac{A_g}{\frac{1}{C_{FB_s}} + \frac{1}{C_{ox}}} \quad (18)$$

A concentração efetiva de cargas no óxido de porta (Q_{SS}/q) é obtida a partir da diferença entre ϕ_{MS} (diferença entre as funções trabalho do metal e do semiconductor) e V_{FB} (tensão de faixa plana) [19]:

$$\frac{Q_{SS}}{q} (\psi_s = 0) = [\phi_{MS} - V_{FB}] \frac{C_{ox}}{q} \quad (19)$$

onde a tensão de faixa plana é extraída a partir da curva CV_{AF} experimental fazendo-se a correspondência com a capacitância de faixa plana calculada a partir da equação (18).

Os estados de interface localizam-se espacialmente na interface Si-SiO₂ e distribuem-se em energia ao longo da faixa proibida do semiconductor. Estes estados podem ser do tipo aceitador, os quais ficam carregados negativamente quando recebem elétrons, ou do tipo doador, que ficam neutros quando recebem elétrons [19,20]. Associado a estes estados temos uma capacitância de estados de interface C_{it} , função do potencial de superfície, que também está em paralelo com a capacitância de depleção e pode ser obtida a partir das curvas de $C \times V$ de alta e baixa frequência como [19]:

$$C_{it}(V_G) = \left[\frac{1}{C_{BF}(V_G)} - \frac{1}{C_{ox}A_g} \right]^{-1} - \left[\frac{1}{C_{AF}(V_G)} - \frac{1}{C_{ox}A_g} \right]^{-1} \quad (20)$$

onde:

$$\psi_s(V_G) = \int_{V_{FB}}^{V_G} \left[1 - \frac{C_{BF}}{C_{ox}} \right] dV_G \quad (21),$$

$$D_{it}(E = E_i + q(\phi_F - \psi_s)) = \frac{C_{it}(\psi_s)}{q} \quad (22),$$

A_g é a área do capacitor, $C_{AF}(V_G)$ é a capacitância de alta frequência, $C_{BF}(V_G)$ é a capacitância de baixa frequência, V_{FB} é a tensão de porta na situação de faixa plana ($\psi_s = 0$ e $V_{ox} = 0$), E é a energia ao longo da faixa proibida correspondente a ψ_s , E_i é a energia no meio da faixa proibida, ϕ_F é o potencial de Fermi, q é a carga elementar e D_{it} ($ev^{-1}cm^{-2}$) é densidade de estados de interface obtida partir de C_{it} .

3 Preparação de Amostras

Foram utilizadas lâminas de silício tipo P, dopadas com boro, com orientação <100>, com diâmetro de três polegadas e resistividade na faixa de: 1 a 10Ω.cm.

Sobre estas lâminas, foram construídos capacitores MOS planos e com degraus verticais (trincheiras). A profundidade dos degraus foi fixada em 100nm que é cerca de uma ordem de grandeza maior do que a espessura do óxido a ser crescido. A figura 3 ilustra de forma esquemática o capacitor MOS sobre uma superfície irregular formada por trincheiras com altura $h = 100nm$ sobre as quais foi crescido o óxido de silício de porta.

No processo construtivo dos capacitores MOS, inicialmente, as lâminas de silício passaram por um procedimento de limpeza química padrão para remoção de contaminantes metálicos e material particulado, composta das seguintes etapas [10, 21,22]:

- 1- Enxágüe em água deionizada por 5 minutos;
 - 2- Imersão em em solução 0,25NH₄OH(35%): 1H₂O₂ por 15 min. na temperatura de 80°C;
 - 3- Enxágüe em água deionizada por 5 minutos;
 - 4- Imersão em solução 1HCl(36%): 1H₂O₂(30%): 4H₂O por 15 min. na temperatura de 80°C;
 - 5- Enxágüe em água deionizada por 5 minutos;
- Imersão em solução 0,25HNO₃(65%): 1HF(49%): 20 H₂O por 30s. na temperatura ambiente.

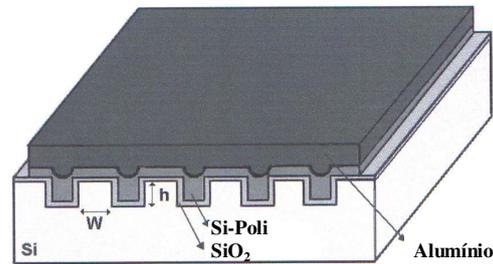


Figura 3: Representação esquemática do capacitor MOS fabricado sobre superfície irregular composta por trincheiras com altura $h = 100nm$. As larguras W empregadas foram 30, 50 e 100 μm .

Na seqüência, foi feita a litografia e a corrosão por plasma do silício para definição dos degraus com altura de 100nm. Na corrosão, utilizou-se o SF₆(fluxo de 25 sccm, potência de 150 W e pressão de 50 mtorr por 40 segundos). As máscaras empregadas no processo litográfico foram projetadas com larguras das trincheiras de 30, 50 e 100 μm . Na seqüência, foram construídos sobre as trincheiras capacitores MOS com área de 300 $\mu m \times 300\mu m$.

Após o procedimento de limpeza e de corrosão do silício, as lâminas de silício sofreram nova limpeza química, usando-se a mesma receita já descrita. Em seguida, as lâminas com trincheiras e algumas lâminas planas de referência foram submetidas a duas seqüências distintas de oxidação. O primeiro tipo de oxidação foi o

convencional, realizado na temperatura de 850°C, com fluxo de oxigênio ultra puro de 1,1 litros/min. durante 10 minutos em uma lâmina plana e em duas com trincheiras. O segundo tipo foi a oxidação pirogênica, na temperatura de 850°C, com fluxo de oxigênio ultra puro de 2 litros/min. e 1 litro/min de uma mistura de N₂+10%H₂ durante 10 min. sendo que também nesse caso utilizou-se uma lâmina plana e em duas com trincheiras. Foi tomado um cuidado importante durante a introdução dos gases hidrogênio e oxigênio no forno de processos para se evitar riscos de explosão através do ajuste da razão em peso de H₂/O₂ menor do que 2.

Após a oxidação as lâminas ainda passaram pelas seguintes etapas:

- 1- Deposição de silício policristalino (500nm) por LPCVD (Low Pressure Chemical Vapor Deposition)
- 2- Dopagem do silício policristalino, usando-se a técnica SOG (Spin On Glass), ou seja, difusão de dopante no silício policristalino a partir de óxido dopado através de reczimento na temperatura de 1050°C durante 20min.;
- 3- Deposição do alumínio (200nm) por evaporação térmica;
- 4- Fotolitografia e corrosão seca do alumínio em SF₆ seguido de corrosão úmida do silício policristalino para definir a estrutura;
- 5- Deposição do alumínio nas costas da lâmina;
- 6- Sinterização final para promover contato do alumínio na temperatura de 420 °C por 20min. em ambiente de N₂ +10%H₂ [18].

Tabela 1: Resumo das principais características de fabricação das amostras.

Lâmina	Tipo de superfície	Processo de Oxidação	Temperatura (°C)
Ao	Plana	Convencional	850
Bo	Trincheira	Convencional	850
Co	Trincheira	Convencional	850
Ap	Plana	Pirogênico	850
Bp	Trincheira	Pirogênico	850
Cp	Trincheira	Pirogênico	850

Após a fabricação dos capacitores MOS, os óxidos de silício crescidos foram caracterizados eletricamente, primeiro com a ajuda de um equipamento HP4140 para extração das curvas CxV de alta e baixa frequência para extração de espessura do óxido de porta (X_o), concentração de dopantes no substrato P (N_B), densidade efetiva de cargas no óxido (Q_{SS}/q) e densidade de estados de interface (D_{it}). Na seqüência, com a ajuda do equipamento HP4280, foram realizadas medidas IxV utilizando uma rampa de tensão de 0,2 volts/s para medida de corrente de ruptura, tensão de ruptura, densidade de corrente de ruptura e campo de ruptura efetivo. A tabela 1 resume os principais parâmetros associados aos óxidos crescidos em lâminas

planas ou com trincheiras e, utilizando processo convencional ou pirogênico com os respectivos nomes (letra “A” para superfície plana, letras “B” e “C” para lâminas com trincheiras, letra “p” para indicar oxidação pirogênica e letra “o” para indicar oxidação convencional).

4 Resultados e Discussões

Inicialmente vamos analisar os parâmetros extraídos a partir das curvas C x V de alta e baixa frequência. A figura 4 ilustra as curvas típicas para um capacitor com área de 300µmx300µm onde pode-se observar um descolamento das curvas na região de depleção devido a presença da capacitância de estados de interface descrita pela equação 20. Adicionalmente, existe um “pico” na passagem da região de depleção para a de inversão na curva de baixa frequência que está associado a presença de estados de interface em concentração maior do que 1x10¹¹eV⁻¹cm⁻² [9,19].

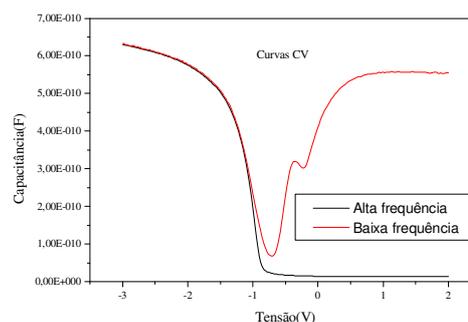


Figura 4: Curvas Capacitância versus tensão típicas de alta (!MHz) e baixa frequência (100kHz), de um mesmo capacitor com área de de 300µmx300µm sobre lâmina plana que passou por oxidação convencional.

A presença destes estados de interface em concentração elevada faz com que em temperaturas próximas a 300K e na frequência de medida de 1 MHz, alguns deles respondam a tensão *ca* de porta. O deslocamento da polarização de porta correspondente a uma dada posição em energia de D_{it} (equação 22) irá resultar no aumento relativo da capacitância mínima da curva de baixa frequência em relação a de alta frequência (compare figura 1 com a figura 4). Nesse caso, além de haver aumento relativo da capacitância mínima, os estados de interface deixam de responder na inversão forte resultando no efeito tipo “pico” da curva de baixa frequência.

A tabela 2 mostra os valores de espessura de óxido (X_o), concentração de dopantes (N_B), densidade efetiva de cargas no óxido e densidade de estados de interface (D_{it}) extraídos a partir das curvas CxV de alta e baixa frequências conforme descrito no item 3. Estes parâmetros

referem-se as amostras processadas conforme resumido na tabela 1, isto é, capacitores com e sem trincheiras com altura de 100nm e com óxidos de porta obtidos por processo convencional ou pirogênico.

É importante destacar que as lâminas Ap, Bp e Cp obtidas por processo pirogênico apresentaram desvio máximo da espessura do óxido de porta no máximo igual a 7,0% quando analisamos cada lâmina individualmente ao passo que a desvio de lâmina para lâmina chegou a 43,6% o que é consideravelmente alto em tecnologias de fabricação MOS cujos desvios costumam ser controlados abaixo de 1,5% [18]. Por outro lado, as lâminas Ao, Bo e Co cujos óxidos de porta foram obtidas por processo convencional, apresentaram dispersão de espessura no máximo igual a 2,5% para cada lâmina individual enquanto que a dispersão máxima de lâmina para lâmina atingiu também no máximo 2,5%. Todas os desvios apresentados na tabela 2 foram obtidos a partir de 25 medidas efetuadas em cada lâmina.

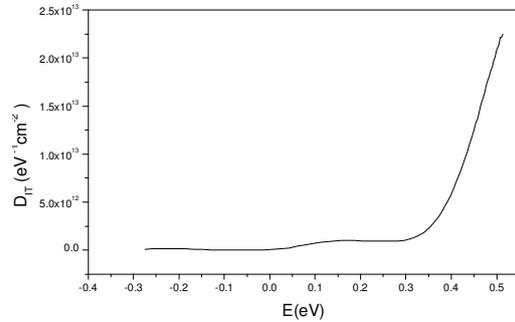
Tabela 2: Parâmetros extraídos das curva CxV de alta e baixa frequência: espessura do óxido (X_o), concentração de dopantes (N_B), densidade efetiva de cargas no óxido (Q_{ss}/q) e densidade de estados de interface (D_{it}).

Lâm.	X_o (nm)	N_B 10^{15}cm^{-3}	Q_{ss}/q (10^{11}cm^{-2})	D_{it} ($10^{11} \text{eV}^{-1} \text{cm}^{-2}$)
Ap	5,6±0,4	1,4±0,2	3,6±0,1	1,5±0,3
Bp	3,9±0,1	2,1±0,7	3,3±0,6	17,1±3,0
Cp	4,9±0,1	2,0±0,1	3,3±0,1	12,3±5,0
Ao	4,2±0,1	3,4±0,3	4,2±0,1	2,7±0,3
Bo	4,3±0,1	3,3±1,1	3,8±0,1	9,5±4,0
Co	4,3±0,1	2,1±0,6	3,3±0,5	11,2±3,0

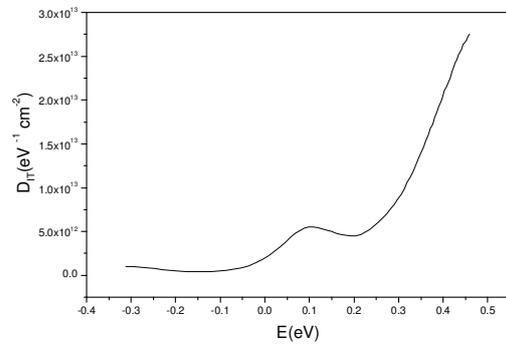
Baseado nos desvios obtidos, podemos concluir que o processo de oxidação pirogênico apresenta forte tendência de maior desuniformidade em espessura não apenas ao longo de cada lâmina individual, mas também de lâmina para lâmina. Tal fato, pode estar associado a maior taxa de oxidação pelas moléculas de água (reação (3)) geradas a partir da reação (2) durante o processo pirogênico e que possivelmente se processou de forma não homogênea tanto ao longo de cada lâmina como de lâmina para lâmina. Outros testes futuros deverão ser realizados para melhorar a uniformidade e reprodutibilidade através do aumento da pressão parcial de hidrogênio no processo de oxidação pirogênico. Apesar disso, a uniformidade de cada lâmina individual não foi tão grande quando comparado com a reprodutibilidade lâmina a lâmina, sendo ainda é possível analisar o desempenho elétrico sob o ponto de vista de ruptura da rigidez dielétrica e corrente de fuga. Também, é importante destacar que os óxidos obtidos por processo convencional resultaram substancialmente mais uniformes e reprodutíveis com desvios percentuais ligeiramente superiores aos melhores já reportados na literatura [18].

A concentração de substrato (tabela 2) ficou situada na faixa de 1×10^{15} a $4 \times 10^{15} \text{cm}^{-3}$ compatível com resistividade

(ρ) na faixa de 1 a $10 \Omega \cdot \text{cm}$ para o lote de lâminas empregados nos nossos experimentos com espessura (t) de $380 \mu\text{m}$ e mobilidade (μ) de $1000 \text{cm}^2/\text{v.s}$ ($\rho = 1/(\mu N_B)$).



(a)



(b)

Figura 5: Curvas típicas de densidade de estados de interface (D_{it}) em função da energia (E) ao longo da faixa proibida tendo como referência o meio da mesma (0eV) para: (a) Amostra A (lâmina plana) processada segundo a receita pirogênica e (b) Amostra B (lâmina com trincheiras) processada também segundo a receita pirogênica.

Conforme procedimento descrito no item 3, obteve-se tensões de faixa plana (V_{FB}) na faixa de $-0,91$ a $-0,94\text{V}$ para todas as lâminas processadas. Na seqüência, utilizando a equação (19), foi possível extrair a concentração efetiva de cargas no óxido (Q_{ss}/q). O valor desse parâmetro situou-se na faixa de $3,0 \times 10^{11}$ a $4 \times 10^{11} \text{cm}^{-2}$ indicando que o nível de contaminação por cargas foi semelhante tanto para processo pirogênico como para o convencional independentemente do fato de se utilizar superfícies planas ou não. A literatura reporta valores cerca de uma ordem de grandeza menor no melhor dos casos, isto é, concentração efetiva de cargas na faixa de $1 \times 10^{10} \text{cm}^{-2}$ e valores proibitivamente altos na faixa de $5 \times 10^{12} \text{cm}^{-2}$ [18,19]. Sendo assim, os valores por nós obtidos podem ser considerados razoáveis e ainda podem ser otimizados através de aumento do pacote térmico em ambiente $\text{N}_2+10\%\text{H}_2$ (gás verde) não apenas para melhorar a qualidade da interface quanto a ligações incompletas

(dangling bonds), mas também diminuir a concentração de cargas fixas próximas à interface Si/SiO₂ [18,19].

A tabela 4 também apresenta os valores obtidos de densidade de estados de interface no meio da faixa proibida ($E=E_i$) obtido a partir da equação (20). Observa-se clara diferença de cerca de uma ordem de grandeza entre amostras planas e amostras com trincheira independentemente de ter passado por processo pirogênico ou convencional. Por outro lado, a figura 5 mostra curvas típicas de densidade de estados de interface (D_{it}) em função da energia ao longo da faixa proibida tendo como referência o meio da mesma para o qual estabelecemos arbitrariamente $E_i = 0\text{eV}$ (equação (22)).

Inicialmente, é importante destacar que as distribuições apresentadas na figura 5 não têm o formato tipo “U” característico das estruturas Si-Policristalino/SiO₂/Si como reportado na literatura [19,20], isto é, a distribuição de D_{it} apenas aumenta para energias positivas próximas do nível de condução E_C ($E \approx 0,55\text{eV}$) e não, para valores negativos. O fato da distribuição não crescer para valores negativos de energia está associado ao predomínio de estados de interface ao longo da faixa proibida com carácter aceitador [20]. Portanto, os estados carregam-se negativamente a medida que o diagrama de faixas de energia encurva-se em direção a inversão (veja figura 1). Tomando-se N_{it} como um estado qualquer no meio da faixa proibida localizado na interface SiO₂/Si, o seu carácter aceitador pode ser representado pela seguinte equação:



onde os estados ocupados por elétrons compreende a faixa que vai de E_V a E_F junto a interface SiO₂/Si na figura 1 e os estados não ocupados por elétrons compreende a faixa que vai de E_F a E_C .

O pico que aparece na distribuição de D_{it} apresentada na figura 5(b) e não aparece na figura 5(a) é um efeito que está presente nos capacitores com trincheira e que provoca a elevação do valor de D_{it} próximo do meio da faixa proibida conforme reportado na tabela 2 ($E=0$, que corresponde a $\psi_s = \phi_{it}$ na equação (22)). A presença do pico está associado a superfície não plana contendo degraus abruptos nas bordas das trincheiras e pode ser entendido como segue. Na temperatura de aproximadamente 300K e na frequência de medida de 1MHz, os estados de interface junto as bordas dos degraus carregam-se em primeiro lugar devido o campo elétrico mais intenso e seguem a tensão *ac* de porta. O valor de D_{it} que é medido nessa condição é maior devido ao efeito de borda e não corresponderá ao encurvamento de faixa de energia como no caso de superfície plana já que existe enriquecimento local do campo elétrico junto a estas bordas. Portanto, o valor de D_{it} obtido dessa forma é aparente e corresponde a uma situação de medida particular em que estados carregados respondem com uma capacitância C_{it} mais elevada. Assim, o valor real de D_{it} deve ser da ordem de $10^{11}\text{ev}^{-1}\text{cm}^{-2}$ de acordo com as medidas realizadas nas superfícies planas,

tanto para o processo pirogênico como para o processo convencional (veja novamente a tabela 2).

A figura 6 mostra uma curva IV típica obtida para um capacitor MOS construído sobre superfície com trincheiras e óxido de porta crescido pelo processo convencional. No ponto de ruptura da rigidez dielétrica está indicada a tensão de ruptura e a corrente de ruptura.

A partir das medidas IV levantadas para as diversas condições de processamento, montamos a tabela 3 com os valores médios e desvios-padrão da corrente de ruptura (I_{bd}), tensão de ruptura (V_{bd}), espessura do óxido de porta obtido a partir da curva C-V (X_o), densidade de corrente de ruptura (J_{bd}), campo elétrico de ruptura ($E_{bd} = (V_{bd} + \phi_{MS})/X_o$) e rendimento de fabricação (RF: porcentagem de capacitores que romperam acima de 3MV/cm).

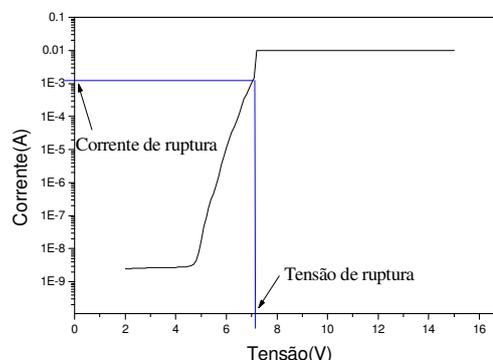


Figura 6: Curva IV típica obtida para um capacitor MOS construído sobre superfície com trincheiras e óxido de porta crescido pelo processo convencional.

Na tabela 3, os valores de densidade de corrente de ruptura (J_{bd}) e campo elétrico de ruptura (E_{bd}) foram obtidos a partir da corrente de ruptura e tensão de ruptura, respectivamente. Os valores de J_{bd} e E_{bd} apresentados são médias para os capacitores que não apresentaram rupturas precoces ($E_{bd} < 3\text{MV/cm}$). De forma geral, observamos dois tipos de comportamento para todos os óxidos: ruptura precoce ou rupturas próximas do valor intrínseco ($E_{bd} > 10\text{MV/cm}$) sendo que rupturas em campos médios não foram observadas. Nesse caso, o parâmetro RF na tabela 3 não apenas corresponde aos capacitores que não romperam abaixo de 3MV/cm, mas efetivamente é a porcentagem de capacitores que romperam acima de 10MV/cm. Portanto, podemos observar que os maiores rendimentos de fabricação foram observados para as superfícies planas, havendo queda substancial deste parâmetro para as lâminas processadas segundo a receita pirogênica (44% e 54% para duas lâminas processadas de forma idêntica) ao passo que o rendimento de fabricação foi maior para as lâminas processadas segundo a receita convencional (59% e 62% para duas lâminas processadas de forma idêntica). A diminuição do rendimento de fabricação está associado ao aumento do campo elétrico junto as bordas e quinadas das

trinchearas os quais devem estar promovendo rupturas da rigidez dielétrica precoces. Por outro lado, se compararmos a receita pirogênica com a convencional, observa-se que o rendimento de fabricação é melhor no caso convencional, possivelmente porque o dielétrico de porta é apresenta melhor uniformidade ao longo da superfície, inclusive junto as bordas dos degraus.

Tabela 3: Valores médios de Corrente de Ruptura (I_{bd}), Tensão de ruptura (V_{bd}), Espessura do óxido de porta (X_o), Densidade de corrente de ruptura (J_{bd}), Campo de ruptura (E_{bd}) e rendimento de fabricação (RF) para um conjunto de 30 capacitores por lâmina.

Lam.	I_{bd} (mA)	V_{bd} (V)	X_o (nm)	J_{bd} (A/cm ²)	E_{bd} (MV/cm)	RF (%)
Ap	6,5±3,9	7,2±0,1	5,6±0,4	7,2±4,3	11,3±0,3	78
Bp	2,4±3,7	6,3±0,4	3,9±0,1	2,7±4,1	14,1±1,2	44
Cp	8,1±3,3	6,6±0,6	4,9±0,1	9,0±3,7	11,8±2,1	54
Ao	4,1±3,0	7,2±0,4	4,2±0,1	8,0±3,3	15,2±1,6	96
Bo	0,55±0,82	6,5±0,7	4,3±0,1	0,61±0,80	13,1±2,3	59
Co	0,23±0,15	6,4±0,3	4,3±0,1	0,26±0,17	11,9±0,7	62

Também é importante destacar o comportamento da densidade de corrente máxima no ponto em que ocorre a ruptura. Observa-se que as lâminas com trincheiras que foram processadas segundo a receita pirogênica, apesar de terem o menor rendimento de fabricação, suportam alta densidade de corrente imediatamente antes do processo irreversível de ruptura da rigidez dielétrica, inclusive com valores da mesma ordem de grandeza que aqueles obtidos para lâminas planas. Já as lâminas com trincheiras processadas segundo a receita convencional, apresentaram densidade de corrente uma ordem de grandeza menor no instante imediatamente anterior ao processo de ruptura. Tal fato, deve estar ligado à melhor qualidade estrutural dos óxidos pirogênicos comparados aos convencionais onde o processo de dano devido a alta corrente deve estar sendo retardado no caso pirogênico porque o óxido não apenas deve estar se amoldando melhor nas bordas e quinas, mas também deve estar sofrendo suavização e compensação das tensões superficiais em virtude da presença do hidrogênio no processo de oxidação [18].

Como conclusão geral, os óxidos pirogênicos e convencionais são duas alternativas na fabricação de estruturas MOS sobre superfícies não planas: - o óxido pirogênico por suportar maior densidade de corrente apesar do menor rendimento de fabricação e o óxido convencional por apresentar maior rendimento e ainda suportar uma densidade de corrente compatível com processos MOS de alto desempenho [7,12,18] apesar de ser uma ordem de grandeza menor comparado aos óxidos pirogênicos.

Agradecimento: Ao CNPq pelo suporte financeiro.

5 Bibliografia

- [1] D. Alvarez, S. Schömann, B. Goebel, D. Manger, T. Schlösser, S. Slesazek, J. Hartwich, J. Kretz, P. Eyben, M.Fouchier and W. Vandervorstb. *J. Vac. Sci. Technol. B* **22**,377, (2004).
- [2] P.M. Zeitzoff, J. E. Chung, *IEEE Circuits & Devices Magazine*, Jan./Feb., 4 (2005).
- [3] G.E. Moore, *Electronics*, **38**, 19 (1965).
- [4] G.E. Moore, In: Proc. Eighth Optical/ Microlithography Conf., SPIE, Feb. 1995, v. 2440, p. 2-17.
- [5] S.E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, J. Klaus, Z. Ma, b. Mcintyre, A. Murthy, b. Obradovic, L. Shifren, S. Sivakumar, S. Tyagi, T. Ghani, K. Mistry, M. Bohr, Y. El-Mansy, *IEEE Electron Dev. Letters*, **25**, 191(2004).
- [6] F. Matsuoka, F. Masoka, *IEEE Trans. on Elec. Dev.*, **50**, 1638 (2003).
- [7] M. Goryll, J. Moers, S. Trellemkamp, L. Vescan, M. Marso, P. Kordos, H. Lüth, *Physica E*, **19**, 18(2003).
- [8] H.S. Momose, T. Ohguro, K. Kojima, S. Nakamura, Y. Toyoshima, *IEEE Trans. on Electron Devices*, **50**, 1001, 2003.
- [9] L.S. Wang, M.S. Lin, N.S. Tsai, F.S. Huang, *Mat. Res. Soc. Symp. Proc.*, **224**, 425(1991).
- [10] W. Kern, *Handbook of Semiconductor Wafer Cleaning Technology*, Noyes Publications, New Jersey (1993).
- [11] M. Houssa, T. Nigam, P.W. Mertens, M.M. Heyns, *Solid State Electronics*, **25**, 159(1999).
- [12] S.G. dos Santos Filho, C.M. Hasenack, L.C. Salay and P.W. Mertens, *J. Electrochem. Soc.*, **142**, 902(1995).
- [13] M. Terauchi, N. Shigyo, A. Nitayama and F. Horiguchi, *IEEE Trans. on Elec. Dev.*, **44**, 2303 (1997)
- [14] X. Huang, *IEEE Trans. on Electron Devices*, **48**, 1344 (2001).
- [15] D. Rouchon, N. Rochat, F. Gustavo, A. Ghabli, O. Renault, P. Besson, *Surface and Interface Analysis*, **34**, 445 (2002).
- [16] W. Lerch, G. Roters, P.Muninger, R.Mader and R. Ostermeir, *Materials Science and Engineering*, **B54**, 153 (1998).
- [17] K. Kimura and K. Nakakima, *Applied Surface Science*, **216**, 283-286 (2003).
- [18] P. Balk, *The Si-SiO₂ System*, Materials Science Monographs 32, Elsevier, The Netherlands (1988).
- [19] E.H. Nicollian and J.R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, Wiley & Sons, New York (1982).
- [20] S.M. Sze, *Physics of Semiconductor Devices*, Wiley & Sons, New York (1981).
- [21] W.A. Nogueira, S. G. dos Santos Filho, *Revista Brasileira de Aplicações de Vácuo*, **22**, 53 (2002).
- [22] W. Kern, *RCA Review*, **31**, 187 (1970).